

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

05096086

MEMORY UTILIZING METHOD FOR DISPLAY SYSTEM HAVING SPATIAL  
LIGHT MODULATOR

PUB. NO.: **08-051586** [JP 8051586 A]

PUBLISHED: February 20, 1996 (19960220)

INVENTOR(s): POORU EMU AABANASU  
DONARUDO BII DOHAATEI

APPLICANT(s): TEXAS INSTR INC <TI> [000741] (A Non-Japanese Company or  
Corporation), US (United States of America)

APPL. NO.: 06-297369 [JP 94297369]

FILED: November 30, 1994 (19941130)

PRIORITY: 7-160,554 [US 160554-1993], US (United States of America),  
November 30, 1993 (19931130)

INTL CLASS: [6] H04N-005/74; G02B-026/08; G06T-001/60; G06T-011/00

JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 29.2 (PRECISION  
INSTRUMENTS -- Optical Equipment); 45.2 (INFORMATION  
PROCESSING -- Memory Units); 45.9 (INFORMATION

PROCESSING -- Other)

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

010294509      \*\*Image available\*\*

WPI Acc No: 1995-195769/199526

XRPX Acc No: N95-153685

**Display memory for spatial light modulator - has pixel format data written into memory such that it is retrieved as bit planes representing bits from each colour for each pixel**

Patent Assignee: TEXAS INSTR INC (TEXI )

Inventor: DOHERTY D B; URBANUS P M

Number of Countries: 006    Number of Patents: 004

Patent Family:

| Patent No         | Kind | Date     | Applicat No | Kind | Date     | Week     |
|-------------------|------|----------|-------------|------|----------|----------|
| EP 655724         | A1   | 19950531 | EP 94118685 | A    | 19941128 | 199526 B |
| <b>JP 8051586</b> | A    | 19960220 | JP 94297369 | A    | 19941130 | 199617   |
| EP 655724         | B1   | 19980902 | EP 94118685 | A    | 19941128 | 199839   |
| DE 69412972       | E    | 19981008 | DE 612972   | A    | 19941128 | 199846   |
|                   |      |          | EP 94118685 | A    | 19941128 |          |

Priority Applications (No Type Date): US 93160554 A 19931130

Cited Patents: EP 530760

Patent Details:

| Patent No | Kind | Lan | Pg | Main IPC | Filing Notes |
|-----------|------|-----|----|----------|--------------|
|-----------|------|-----|----|----------|--------------|

|           |    |   |   |             |  |
|-----------|----|---|---|-------------|--|
| EP 655724 | A1 | E | 9 | G09G-003/34 |  |
|-----------|----|---|---|-------------|--|

Designated States (Regional): DE FR GB IT NL

|                   |   |  |   |             |  |
|-------------------|---|--|---|-------------|--|
| <b>JP 8051586</b> | A |  | 9 | H04N-005/74 |  |
|-------------------|---|--|---|-------------|--|

|           |    |   |  |             |  |
|-----------|----|---|--|-------------|--|
| EP 655724 | B1 | E |  | G09G-003/34 |  |
|-----------|----|---|--|-------------|--|

Designated States (Regional): DE FR GB IT NL

|             |   |  |  |             |                           |
|-------------|---|--|--|-------------|---------------------------|
| DE 69412972 | E |  |  | G09G-003/34 | Based on patent EP 655724 |
|-------------|---|--|--|-------------|---------------------------|

**Abstract (Basic):** EP 655724 A

The display system for a spatial light modulator includes a memory used to deliver bit planes. The system receives a digital input stream (21) representing video frames. A processor (14) manipulates the input and stores the data in a memory (15). The data is extracted from the memory and applied to a spatial light modulator (16) for presentation on a display (17). Data is stored in memory in bit-planes such that a three colour, 8 bit per pixel image would have 24 bit-planes. Subsequent frames overwrite existing frames and the bit-planes are fed to the spatial light modulator.

USE/ADVANTAGE - For displaying real-time images using spatial light modulator. Provides high resolution with power consumption less than CRT system uses single buffer for spatial light modulator.

Dwg.2/8

Title Terms: DISPLAY; MEMORY; SPACE; LIGHT; MODULATE; PIXEL; FORMAT; DATA; WRITING; MEMORY; RETRIEVAL; BIT; PLANE; REPRESENT; BIT; COLOUR; PIXEL

Derwent Class: P81; P85; T01; T04; V07

International Patent Class (Main): G09G-003/34; H04N-005/74

International Patent Class (Additional): G02B-026/08; G06T-001/60; G06T-011/00

File Segment: EPI; EngPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-51586

(43) 公開日 平成8年(1996)2月20日

| (51) Int.Cl. <sup>6</sup>           | 識別記号 | 庁内整理番号  | F I                      | 技術表示箇所       |
|-------------------------------------|------|---------|--------------------------|--------------|
| H 0 4 N 5/74                        | B    |         |                          |              |
| G 0 2 B 26/08                       | E    |         |                          |              |
| G 0 6 T 1/60                        |      |         |                          |              |
|                                     |      | 9365-5H | G 0 6 F 15/ 64<br>15/ 72 | 4 5 0 D<br>A |
| 審査請求 未請求 請求項の数 1 O L (全 9 頁) 最終頁に続く |      |         |                          |              |

(21) 出願番号 特願平6-297369

(22) 出願日 平成6年(1994)11月30日

(31) 優先権主張番号 1 6 0 5 5 4

(32) 優先日 1993年11月30日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ  
レイテッド

アメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500

(72) 発明者 ポール エム. アーバナス

アメリカ合衆国テキサス州ダラス, ベント  
トリー フォーリスト サークル  
16000, アpartment ナンバー 1914

(72) 発明者 ドナルド ビー. ドハーティ

アメリカ合衆国テキサス州リチャードソ  
ン, ウォルナット クリーク プレース  
16

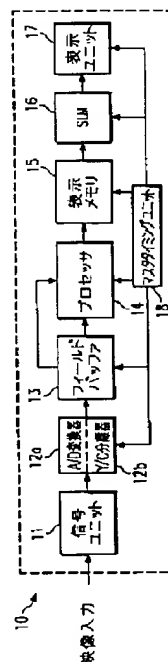
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 空間光変調器を有する表示システム用メモリ使用方法

(57) 【要約】

【目的】 ダブルバッファメモリより少ない容量しか要せず、消費電力及びシステムコストを低減する表示メモリを提供する。

【構成】 画素データ処理プロセッサ14及び画像発生用空間光変調器 (S L M) 16を有する表示システム10内用の表示メモリ15は、画素書式において受信したデータをビット面へ書式付けて、このデータを1回に1つずつ S L M 16へ送出する。メモリ15は、一部は或る1つのデータフレームからのデータを含みかつ一部は隣接データフレームからのデータを含むビット面を読み出す。この関係ゆえに、メモリ15は、1データフレームの容量を有するだけでよく、したがって、ダブルバッファすることの必要を回避する。



1

## 【特許請求の範囲】

【請求項1】 画素データを処理するためにプロセッサを有し及び画像を発生するために空間光変調器を有する表示システム内用途にデータを記憶するメモリを使用する方法であって、

第1フレーム期間中に前記メモリに画像データのサンプルを含む第1フレームを書き込むステップ、

第2フレーム期間中に前記メモリに画素データのサンプルを含む第2フレームを書き込むステップであって、前記第2フレームの各サンプルが前記第1フレームの対応するサンプル上に書き直されるようになっている、前記第2フレームを書き込むステップ、

前記メモリからデータのビット面を読み出すステップ、各画素強度を表現するビットの数と少なくとも同じ数のビット面が表示期間中に読み出されるように前記読み出すステップを繰り返すステップを含み、

前記読み出すステップの1つ以上が前記第1データフレームからのデータと前記第2フレームからのデータとに関して遂行され、

前記方法は、

前記空間光変調器に前記ビット面の各々を送出するステップを含み、

前記ステップの全ては画像の連続表示を発生するために繰り返される、方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、画像表示システム、特にデジタル画像データを処理し、かつ実時間画像を表示するために空間光変調器を使用するシステムに関する。

## 【0002】

【従来の技術】 空間光変調器（以下、SLMと称する）ベース実時間表示システムは、陰極線管（以下、CRTと称する）を使用する表示システムに代わってますます使用されている。SLMシステムは、CRTシステム程の大きな容積及び電力消費を伴うことなく高解像度表示を提供する。

【0003】 デジタルマイクロミラーデバイス（以下、DMDと称する）は、SLMの1型式であって、投写表示応用に使用されると云える。DMDは、各々がミラー及びメモリセルを有しているマイクロ機械画素のアレイを有する。各画素は、電子データによって個別にアドレス可能である。そのアドレス指定信号の状態に従って、各ミラー素子が光を画像面へ反射するか又はしないかのどちらかであるように各素子が傾斜させられる。他のSLMも同様の原理で動作し、その備える画素は他の画素と同時に光を発射又は反射し、したがって、完全な画像フレームが、画素を走査することによってではなくそれらをアドレス指定することによって発生されるようになっている。

2

【0004】 SLMベースシステムにおけるデータ処理では、他のデジタル画像処理システムの場合のように、プロセッサは画素データで動作する。インタレースデータが、画素から画素へ、行から行へ、及びフィールドからフィールドへ、配置される。走査変換技術が、フィールドからフレームを発生するのに使用される。ノンインタレースデータは、フレームとして既に配置されている。色空間変換又はスケール変換ばかりでなく走査変換のような処理タスクが、画素データへ遂行される。

## 【0005】

【発明が解決しようとする課題】 しかしながら、SLMベースシステムでは、SLMは「ビット面」内データを受信しなければならない。換言すると、各画素がその画素データの値に相当する時間長にわたり、「オン」又は「オフ」され得るように画素データがビットレベルデータへ再書式付けされる必要がある。種々の変調方式は、いかに長く各画素がオン又はオフされるかを決定し、グレースケール及び色彩画像を表示可能とする。ビット面は、同じデジタル値を有する全ての画素の全てのビットを表現する。nビット解像度を有する画素については、表示フレーム当たりnのビット面がある。

【0006】 SLMベースシステムは、SLMにデータのビット面を提供するために「表示メモリ」を使用する。現存する表示メモリは「ダブルバッファ」されており、それゆえ、これらのメモリが現行フレームについてのデータを記憶することができる間に次のフレームについてのデータが書き込まれる。これが、データの各フレームがメモリから読み出されかつそれ自身のフレーム期間中にSLM上に表示されることを可能にする。このダブルバッファモードで動作する多くの表示メモリは、データの2フレームの容量を要する。ダブルバッファ動作を変動することは、その要する容量を減少するようにダイナミックにメモリ空間を割り付けることである。テキサスインスツルメント社に譲受された、米国特許出願第07/755,883号（弁理士事件整理番号TI-16511）、名称「光変調器用フレームバッファに関するダイナミックメモリ割付け（Dynamic Memory Allocation For Frame Buffer for Spatial Light Modulator）」は、表示メモリの使用についてのこれらの問題を論じている。

## 【0007】

【問題を解決するための手段】 本発明の第1態様は、画像処理を遂行するプロセッサを有し、及び画像を発生するためにビットアドレス可能画素を備えるSLMを有するデジタル表示システム内用途に供される表示メモリである。第1フレーム期間中に、画素データのサンプルの第1フレームが、メモリに書き込まれる。この第1フレームは、同フレームがサンプル当たり1ビットを含む50 ビット面内において読み出されるようにこのメモリ内に

3

記憶される。第2フレーム期間中に、画素データのサンプルを含む第2フレームがこのメモリに書き込まれる、ただし、第2フレームの各サンプルが第1フレームの対応するサンプル上に書き直しされるようになる。この第2フレームは、また、サンプル当たり1ビットを含むビット面内で読み出されるように記憶される。第1フレーム期間又は第2フレーム期間のどちらか中に、データのビット面がメモリから読み出される、ただしこの読出しステップは第1フレームからのデータに関して及び第2フレームからのデータに関して遂行される。読出しステップは、各画素を表現するビットの数と少なくとも同じ数のビット面が表示期間中に読み出されるように、繰り返される。ビット面の各々は、表示のためにSLMへ送出される。

【0008】本発明の技術的利点は、ダブルバッファメモリよりも少ない容量しか要しないと云うことである。これが、そのシステムのコストを低減する。

【0009】

【実施例】DMDベーステレビジョンシステムの包括的説明は、共にテキサスインスツルメント社に譲受され、かつ共に参考ここに編入された、米国特許第5,079,544号、名称「標準独立デジタル化映像システム(Standard Independent Digitized Video System)」及び米国特許出願第\_\_\_\_\_号(弁理士事件整理番号TI-17855)、名称「デジタルテレビジョンシステム(Digital Television System)」に記載されている。

【0010】米国特許出願第07/678,761号、名称「パルス幅変調表示システム内に使用されるDMDアーキテクチャ及びタイミング(DMD Architecture and Timing for Use in a Pulse-Width Modulated Display System)」(弁理士事件整理番号TI-15721)は、DMDベース表示システムとの使用のための映像データ書式付け方法及び画素輝度変動を施すためのビット面変調方法を説明している。色彩画像を提供するためにカラーホイールを備えるDMDベース表示システムの一般的使用は、米国特許出願第07/809,816号、名称「白色光エンハンストカラーフィールド逐次投写(White Light Enhanced Color Field Sequential Projection)」(弁理士整理番号TI-16573)に説明されている。これらの特許出願は、テキサスインスツルメント社に譲受され、かつ参考ここに編入されている。

【0011】図1はSLMベース投写表示システム10のブロック図であり、このシステムは映像信号をサンプルして得られる画素データからの色彩画像を提供する。次の説明は放送テレビジョン信号用受信機によっている

4

が、云うまでもなく、受信機、すなわち、表示システム10はアナログ複合映像信号を受信しかつその信号によって表現される画像を表示する機器のどの型式であることもできる。図2は類似のシステム20のブロック線図であって、このシステムにおいては画像データ入力信号がデジタル画像を既に表現している。図1及び図2の両方において、処理及びビット面変換に有意な構成要素のみが示されている。同期信号及び音声信号の処理に使用される構成要素は示されていない。

10 【0012】本発明は、メモリ15の種々の態様に係っており、システム10又は20のどちらとでも有効である。例示目的のために、ここでの説明は、システム10に的を絞る。

【0013】行当たり640画素、フレーム当たり480行、かつ画素当たり24ビットを有する画像を仮定する。240奇数行又は偶数行を有するインタレースフィールドを480行を有するフレームに変換することは、デインタレースするプロセスがプロセッサ14によって遂行された後に行われる。三色の各々に対して画素データの8ビットがある。したがって、24のビット面がある。様々なフレーム寸法及びビット寸法の主要な効果は、ここに説明されるメモリ寸法が様々になることである。

【0014】システム10の概観として、信号ユニット11はアナログテレビジョン信号を受信し、かつ映像信号、同期信号、音声信号を分離する。それは、A/D変換器12a及びY/C分離器12bへ映像信号を送出し、これらの変換器等はこの信号を画素データサンプルに変換しかつ輝度/色信号分離を遂行する。これらA/D変換タスク及びY/C分離タスクは、どちらの順序でも遂行され得よう。

【0015】フィールドバッファ13が、Y/C分離器12bとプロセッサ14との間に挿入される。このフィールドバッファ13は、フィールドスプレディングに有効である。SLMベースシステム10は垂直帰線消去時間を要しないので、フィールド間の予備(extra)時間がデータを処理するのに及びSLM16にビット面をロードするのに利用可能な時間を増大するために使用されることがある。フィールドバッファ13は、カラーホイール同期及びスケール変換に関係した他の機能を有することがある。

【0016】プロセッサ14は、種々の処理タスクを遂行することによって、表示のためにデータを準備する。プロセッサ14は、処理中に画素データを記憶する処理メモリを含む。

【0017】表示メモリ15は、プロセッサ14から処理画素データを受信する。図3～図8に関連して下に説明されるように、表示メモリ15は入データをビット面へ書式付けして、これを1回に1つずつSLM16へ送出する。メモリ15は、データの1フレームの容量だけ

を有すればよい。

【0018】SLM16は、SLMのどの型式であってもよい。この説明はDMD型SLMによっているが、SLMの他の型式をシステム10内へ置換することもでき、ここに説明される方法に対して使用することもできる。例えば、SLM16は、LCD型SLMであることもできる。適当なDMDの詳細は、米国特許第4,956,619号、名称「空間光変調器(Spatial Light Modulator)」に見られ、これはここに参考に編入されている。

【0019】表示ユニット17は、基本的には光学構成要素であってSLM16から画像を受信し、かつ表示スクリーンのような画像面を照射する。色彩表示では、各色に対するビット面を、逐次取り扱いかつ表示ユニット17の部分であるカラーホイールに同期させることもできる。又は、異なる色に対するデータを、3つのSLM上に同時に表示し、かつ表示ユニット17によって組み合わせることもできる。マスタタイミングユニット18は、種々のシステム制御機能を提供する。

【0020】図3及び図4は、本発明による、表示メモリ15の書込み及び読出し方法を図解する。図3及び図5は機能的図解であり、メモリ15の構造実施例は、図5〜図8に関連して下に説明される。

【0021】もっと明確に云えば、図3は、メモリ15への画素データサンプルの書込みとメモリ15からのビット面データの読出しとの間の空間関係を図解する。下に説明されるように、データはメモリ15内でビットレベル区画内に記録され、ここで各区画は1ビットレベルに対するデータのみを記憶する。図3に図解された区画は、ビット0に対するデータを記憶する。データのフレームを記憶するために、メモリ15は、ビット面と同じ数の区画を有する。

【0022】図3の例において、ビット0データの480行が連続メモリ行R1からR480内に記憶される。しかしながら、メモリ行は、或る種のランダムアクセスが利用可能である限り連続的である必要はない。

【0023】また、この説明の例において、SLM16上に表示される画素の数は、データフレーム内のサンプルの数と同じである。他のシステムにおいては、メモリ15内に記憶される各データフレームは、SLM16上の画素の行当たり予備サンプル、又は予備行に対するサンプル、又はその両方を有することがある。本発明は、両方の場合で、メモリ15の容量がデータのフレーム当たりのサンプル数以上でなくてよいと云うことにおいて、同じである。

【0024】データサンプルは、それらが到来する時間順序にメモリ15にロードされる。開始点として、画素1、行1、フレームNに対するサンプルを使用すると、そのデータサンプルがまずロードされる。画素1の各ビットが、そのデータをビットレベルによってアクセスす

ることができるように、異なるメモリ区画に書き込まれる。次いで、画素2、行1、フレームNに対するデータが書き込まれ、続いて画素3、行1に対するデータ、等々書き込まれ、遂に行1、フレームNに対する全てのデータがロードされる。このプロセスは行2、行3、等々に対して繰り返し、遂にフレームNの全てのデータサンプルがロードされる。

【0025】フレームNの行480が書き込まれた後、書込みプロセスは、画素1、行1、フレームN+1に関して再び開始される。フレームN+1に対するデータの各新ビットが書き込まれるに従って、そのビットはフレームNの対応するビットを書き直す。この書き直しのゆえに、一般に、どの所与の時刻にも、メモリ15は、フレームN+1の行1から行nまで及びフレームNの行n+1から行480までを含んでいる。もちろん、フレーム間には時間があることがあり、 $n=480$ 又は $n=0$ のときは、メモリ15は1つのフレームのみの行1から行480を記憶する。

【0026】データは、メモリ15からビット面内において、全ての行の各画素から1ビットずつ、SLM16へ読み出される。24のビット面は、使用されている特定の変調方式に従って、どんな順序にも読み出されると云える。例えば、その順序は、最初が最上位ビット(以下、MSBと称する)に対するビット面、次いで、次のMSBに対するビット面、等々、及び最後に最下位ビット(以下、LSBと称する)に対するビット面であることもできる。色彩画像に対しては、この画像は本説明の例においては三色の各々毎に8ビットを有するが、各色に対する8つのビット面が各色のビット0〜7を表現する。

【0027】メモリ15は2つの隣接データフレーム、一般に、フレームN及びフレームN+1を含むので、1つのビット面は、フレームN及びフレームN+1の両方からのデータを含む。換言すれば、表示しようとする画像を含む24のビット面の各々は、同じデータフレームからのデータを常に有するとは限らない。

【0028】実時間表示に対しては、SLM16がデータを表示するレートは、入データのレートと対等であることを維持する必要がある。フィールドバッファ13及び「スプレッド」データを有するシステム10に対しては、メモリにフレームを書き込みかつメモリからフレームを読み出すのに利用可能な時間は1フィールド期間であり、これはNTSC信号に対しては1/60秒(約16.67ミリ秒)である。同様に、メモリ15からデータを読み出すのに利用可能な時間は、1フィールド期間である。デインタレースデータに対しては、フィールド期間は、フレーム期間と同じである。もしデータがスプレッドされないならば、書込み及び読出しのために利用可能な時間は、僅かに少なくなる。いずれにしても、SLM16は、60フィールド毎秒の周波数に等しいレー

トで各新画像を表示することによって、入データと対等のレート維持する。各画像に対する表示期間はフィールド期間(16.67ミリ秒)と同じであるが、これらの期間は、一般に、一致して開始及び終結することはない。

【0029】図4は、上述の読出しプロセスの結果として、いかに各画像に対するデータがデータフレームに対して「スキュー」されているかを図解する。データフレームを分離するぎざぎざの線を、ここでは「フレームスキュー線」と称する。2本のフレームスキュー線の間の時間間隔は、1フレーム期間(約16.7ミリ秒)である。データの各行は、フレーム期間に等しい時間にわたって表示されるが、しかし同じデータフレームの異なる行の表示は異なる時刻に開始し及び終結することがある。例えば、フレームN+1について、行10に対するデータは時刻 $t_1$ から $t_2$ にわたって表示されるのに対して、行150に対するデータは時刻 $t_3$ から $t_4$ にわたって表示される。

【0030】メモリ15から読み出されるビット面は、垂直タイムスライスとして表現される。フレームスキュー線上のどの点においても、この線の上方のデータは次のフレームからであり、この線の下方のデータは現行フレームからである。フレームスキュー線は、異なるビット面に対して割り付けられた異なる表示時間のゆえにぎざぎざになっている。換言すれば、各ビット面は、ビットレベルに従って変動する8つの異なる表示時間の1つに関連している。MSBは最長表示時間を有し、LSBは最短表示時間を有する。フレーム当たり24のビット面がある所では、各フレームスキュー線は、24の「ぎざぎざ歯」を有する。各ぎざぎざ歯は1つのビット面を表現し、これが立ち代わって8つの異なるビット面表示時間の1つに関連している。図4において、各ビット面の表示時間は1連続タイムスライスであるが、しかし他の変調方式も可能である。

【0031】例えば、時刻 $t_0$ から時刻 $t_1$ が赤データのMSBに対して割り付けられる。この時間中、SLM16へ読み出されつつある全てのデータ、したがって、表示されつつある全てのデータは、フレームNからである。他の例としては、時刻 $t_2$ から $t_3$ が緑データのMSBに対して割り付けられる。この時間中、行1から130までがフレームN+1からであるのに対して、行131から480まではフレームNからである。

【0032】表示メモリ15を使用する上述の方法は、種々のメモリの実現として使用され得る。これらには、データが分離書式付けデバイスによって書式付けされるか、メモリ15と統合化された論理で以て入力上で書式付けされるか、又はメモリ15と統合化された論理で以て出力上で書式付けされるかどうかによって、変動がある。他の変動は、区分メモリ空間に係わる。SLMベース表示システムに対する表示メモリの例は、次の特許出

願に見られる、すなわち、米国特許出願第07/755,981号(弁理士事件整理番号TI-16510)、名称「直交入力/出力及び空間再順序付けを備えるデータフォーマッタ(Data Formatter with Orthogonal Input/Output and Spatial Reordering)」, 米国特許出願第07/758,028号(弁理士事件整理番号TI-16512)、名称「空間光変調器用区分フレームメモリ(Partitioned Frame Memory for Spatial Light Modulator)」, 及び米国特許出願第 号(弁理士事件整理番号TI-17404)、名称「空間光変調器を使用する表示システム用デジタルメモリ(Digital Memory for Display System Using Spatial Light Modulator)」, これらの特許出願の各々は、テキサスインスツルメント社に譲受され、かつ参考にここに転写されている。

【0033】図5は表示メモリ15の1例を図解し、これと本発明の方法が使用されると云える。メモリ15は、基本的に、フォーマッタ(書式付けユニット)51、メモリアレイ52、ビット選択ユニット53、及びコントローラ54を含む。

【0034】上述したように、本発明の1態様は、メモリ15へ書き込まれる画素データ入力とメモリ15から読み出されるビット面データとの間の空間及び時間関係である。本発明の方法は、表示画像内のデータが映像フレーム内のデータに対応すると云う要件を除去する。各表示画像が映像フレームと同じ量のデータを含むが、この表示画像が1つのフレームだけからのデータを含んでいるとは限らない。すなわち、表示画像が2つの隣接する映像信号フレームからのデータを含むことがある。この関係のゆえに、メモリ15は、1データフレームの容量を有するだけでよい。

【0035】図5は非区分メモリを仮定しており、ここではメモリ15は全ての行に対するデータを記憶する。区分メモリにおいては、メモリ15は、SLM16の上半部又は下半部に対するのみのデータを記憶し、かつ第2メモリが他の半分に対するデータを記憶するであろう。本発明の原理は、各区分が並列に動作することを除き、区分メモリと同じであることになる。

【0036】入力画素データは、サンプルからサンプルへ、行から行へ、フレームからフレームへ、メモリ15へ書き込まれる。したがって、入画素データは、24ビットの広さである。フォーマッタ51は、このデータをビットレベルデータに再配列する。

【0037】図6は、フォーマッタ51の1実施例を図解する。データの各行(640画素サンプル)は、各16サンプルの40ブロックに分割される(40×16=

640)。フォーマッタ51は40ブロックを有し、各ブロックがブロックレジスタ61を有する。各ブロックレジスタ61は、データの1ブロックを受信する。各サンプルは24ビットであるので、各ブロックレジスタ61の容量は、384ビット( $24 \times 16 = 384$ )である。第1ブロックレジスタ61が第1の16サンプルについてのデータで以て満たされた後、コントローラ(又は駆動器)54が次のブロックレジスタ61をアドレス指定し、このレジスタが次の16サンプルについてのデータを記憶する。このプロセスは、各ブロックレジスタ61が16サンプルについてのデータで以て満たされてしまうまで連続し、それゆえ、これら40ブロックレジスタ61が1行についてのデータを記憶する。

【0038】各ブロックレジスタ61に関連したマルチプレクサ62は、そのブロックレジスタ61からのデータを受信する。各マルチプレクサ62は、そのデータを、1回に1ビットずつ、メモリアレイ52へ出力する。

【0039】図7に図解されているように、メモリアレイ52は、フォーマッタ51の各ブロックレジスタ61毎に1列ずつ、40列を有する。各列は、480行の16画素についてのデータを記憶する。各列は、その列の16画素かつ480行のビットレベルを記憶するために、更にビット面区画71に分割される。各区画71は、7,680ビット(1ビット毎画素 $\times$ 16画素毎行 $\times$ 480行=7,680ビット)を記憶する。各列は、各ビットレベル毎に1ずつ、24の区画71を有する。アレイ52の40列にわたって、1画像を含む24のビット面が記憶される。図3において、メモリ15のこの実施例について同図に図解されたメモリ15の区画は、

アレイ52の40の区画71である。

【0040】図5を再び参照すると、データは、アレイ52からビット選択ユニット53内へ移動する。フォーマッタ51内へのデータと比較して、ビット選択ユニット53内へのデータはビットレベル順序で到着する。

【0041】図8は、ビット選択ユニット53を更に詳細に図解する。ビット選択ユニット53は、アレイ52の各行に1つずつ関連した、40列を含む。各列は、第1シフトレジスタ81を有し、これはアレイ52のビット面区画71からデータの256ビット(1ビット $\times$ 16画素 $\times$ 16行=256ビット)を受信する。ビット選択ユニット53の40列にわたって、シフトレジスタ81が16行毎にビット面データの1レベルを記憶するように、これら256ビットは同じビットレベルのものであるが、しかし異なる行からのものである。各列内の第2シフトレジスタ82は、SLM16へ送出されるデータがビット面内で、行から行内にあるように、ことごとく第16ビットを選択する。40列の各々は、SLM16へ1回に1ビットを送出する。

【0042】図5を再び参照すると、コントローラ54

は、フォーマッタ51、アレイ52、及びビット選択ユニット53へ、それぞれ、ブロックアドレス、行アドレス、及びビット面アドレスを供給する。これらのアドレスは、計数器で以て内部的に、又はプロセッサ14又はタイミングユニットによって外部的に発生される。前者の場合、メモリ15は連続行内でアドレス指定されることになっているのに対して、後者の場合、メモリ15はランダムに行をアドレス指定されることがある。コントローラ54の他の機能は、もし読出し及び書込みのために同じデータへのアクセスが企図されるならば、衝突(conflict)を解決することである。これは、特にデュアルポートメモリの場合に対しては、メモリ管理の技術分野における既知の技術で以て達成されると云える。

【0043】図5～図8に関連して説明されたメモリは、本発明を使用すると云える表示メモリの1例に過ぎない。他の型式の表示メモリは、データをビット面内へ書式付けするために他の手段を使用することがある。米国特許出願第号(弁理士事件整理番号T I - 17404)(上記参照)は、データを画素書式において記憶し、かつ出力上においてデータをビット面内へ再書式付けする手段を有する。その実現にかかわらず、本発明の方法は、単一バッファメモリが2つの隣接するデータフレームからのデータを含むデータのビット面を送出すると云うことにおいて、同じである。

【0044】本発明は特定の実施例を参照して説明されたが、この説明は限定的意味に解釈されることを意図しているのではない。開示の実施例の種々の変形ばかりでなく、代替実施例も当業者に明白である。したがって、添付の特許請求の範囲は、本発明の真の範囲内にある全ての変形を包含すると考える。

【0045】以上に関して更に以下の項を開示する。

【0046】(1) 画素データを処理するためにプロセッサを有し及び画像を発生するために空間光変調器を有する表示システム内用途にデータを記憶するメモリを使用する方法であって、第1フレーム期間中に前記メモリに画像データのサンプルを含む第1フレームを書き込むステップ、第2フレーム期間中に前記メモリに画素データのサンプルを含む第2フレームを書き込むステップであって、前記第2フレームの各サンプルが前記第1フレームの対応するサンプル上に書き直されるようになっていて、前記第2フレームを書き込むステップ、前記メモリからデータのビット面を読み出すステップ、各画素強度を表現するビットの数と少なくとも同じ数のビット面が表示期間中に読み出されるように前記読み出すステップを繰り返すステップを含み、前記読み出すステップの1つ以上が前記第1データフレームからのデータと前記第2フレームからのデータとに関して遂行され、前記方法は、前記空間光変調器に前記ビット面の各々を送出するステップを含み、前記ステップの全ては画像の連続表示を発生するために繰り返される、方法。



## 11

【0047】(2) 第1項記載の方法において、前記書き込むステップは前記メモリの連続行内で起こる、方法。

【0048】(3) 第1項記載の方法において、前記書き込むステップは前記メモリのランダムにアクセス可能な行内で起こる、方法。

【0049】(4) 第1項記載の方法において、前記メモリは多数の区画に区分され、かつ前記書き込むステップと前記読み出すステップとは前記メモリの各区画について並列に起こる、方法。

【0050】(5) 第1項記載の方法において、前記書き込むステップはデータを画素書式において書き込まれる1つ以上の入力レジスタに関して、及び前記1つ以上の入力レジスタからビットレベルデータを受信するメモリアレイに関して遂行される、方法。

【0051】(6) 第1項記載の方法において、前記読み出すステップはメモリアレイからビットレベルデータを受信し、かつ行から行式に前記ビットレベルデータを選択する2つ以上の出力レジスタに関して遂行される、方法。

【0052】(7) 第1項記載の方法であって、前記書き込みステップと前記読み出すステップとの間の衝突を裁定するためにメモリコントローラを使用するステップを更に含む方法。

【0053】(8) 第1項記載の方法において、前記ビット面が前記第1データフレームからのデータを含むように、1つ以上の読み出すステップが前記第1フレーム期間中に起こる、方法。

【0054】(9) 第1項記載の方法において、前記読み出すステップが各ビット面に対して同じビットレベル順序で繰り返される、方法。

【0055】(10) 第1項記載の方法において、前記読み出すステップが前記ビット面の各々に対して1回遂行される、方法。

【0056】(11) 第1項記載の方法において、前記読み出すステップが前記ビット面の1つ以上に対して1回よりも多く遂行される、方法。

【0057】(12) 空間光変調器(SLM)16を有する表示システム10、20用表示メモリ15が開示

## 12

される。メモリ15は、画素書式においてデータを受信しかつビット面書式において前記データをSLM16へ送出する。メモリ15は、一部は或る1つのデータフレームからのデータを含みかつ一部は隣接データフレームからのデータを含むビット面を読み出すことによってダブルバッファすることの必要を回避する。

【図面の簡単な説明】

【図1】本発明による表示メモリを有する、SLMベース表示システムのブロック線図。

10 【図2】本発明による表示メモリを有する、SLMベース表示システムのブロック線図。

【図3】本発明による表示メモリを使用する方法の説明図。

【図4】いかに画像が異なるデータフレームのデータから表示されるかの説明図。

【図5】表示メモリの説明図。

【図6】図5のフォーマットの説明図。

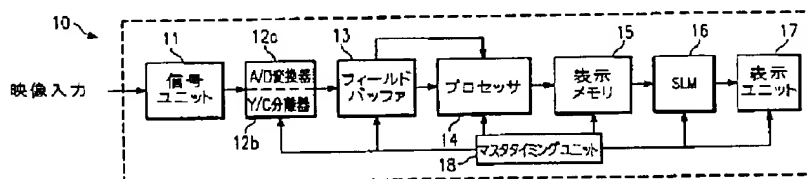
【図7】図5のメモリアレイの説明図。

【図8】図5のビット選択ユニットの説明図。

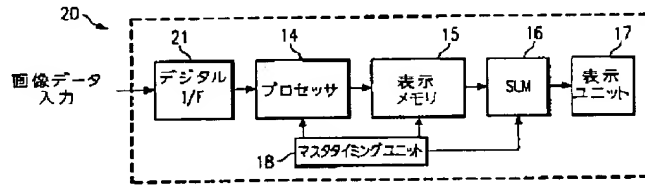
20 【符号の説明】

- 10 SLMベース投写表示システム
- 11 信号ユニット
- 12a A/D変換器
- 12b Y/C分離器
- 13 フィールドバッファ
- 14 プロセッサ
- 15 表示メモリ
- 16 SLM
- 17 表示ユニット
- 18 マスタタイミングユニット
- 51 フォーマット
- 52 メモリアレイ
- 53 ビット選択ユニット
- 54 コントローラ
- 61 ブロックレジスタ
- 62 マルチプレクサ
- 71 ビット面区画
- 82 シフトレジスタ

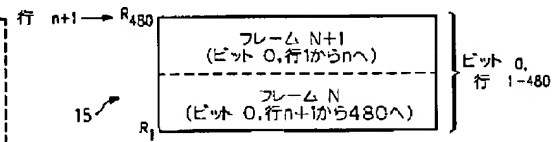
【図1】



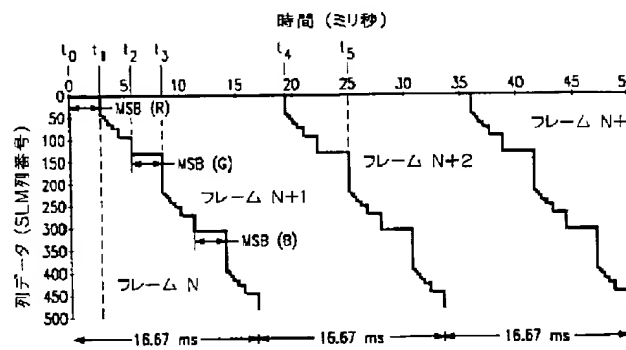
【図2】



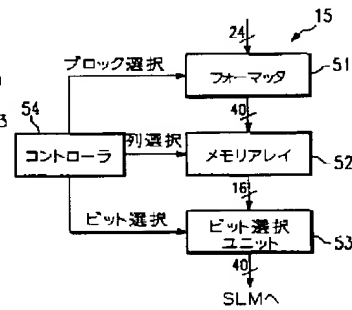
【図3】



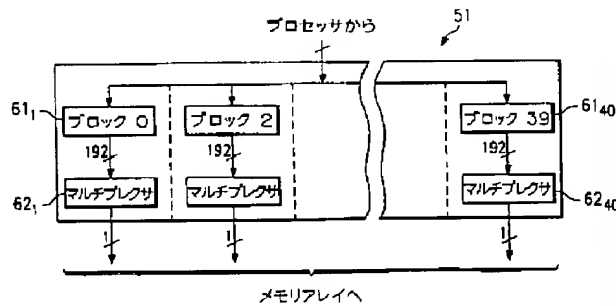
【図4】



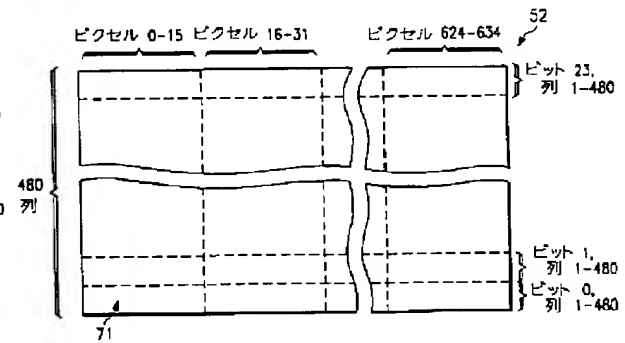
【図5】



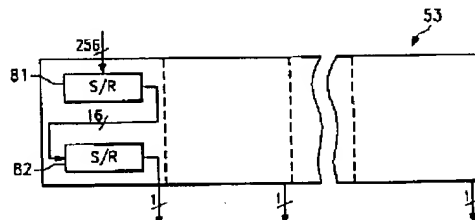
【図6】



【図7】



【図8】



(9)

特開平 8 - 5 1 5 8 6

フロントページの続き

(51) Int. Cl. <sup>6</sup>

識別記号

序内整理番号

F I

技術表示箇所

G 0 6 T 11/00